

Харківський національний університет радіоелектроніки

Факультет Інформаційних радіотехнологій і технічного захисту інформації

(назва інституту, факультету, відділення)

Кафедра Мікропроцесорних технологій і систем

"ЗАТВЕРДЖУЮ"

Декан факультету ІРТЗІ

Деніс ГОРЕЛОВ

(підпис, прізвище, ініціали)

" 02 " вересня 2025 р.

РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Дослідження і проєктування пристроїв на ПЛІС

(шифр і назва навчальної дисципліни)

рівень вищої освіти магістерський

спеціальність 171 Електроніка

ОПП: Інженерія мікропроцесорних систем

(назва освітньої програми)

Харків – 2025 р.

Розробник:  О.В.Воргуль, доц. каф. МТС, к.т.н., доцент

Робочу програму схвалено на засіданні кафедри МТС

Протокол від «30» серпня 2025 р. № 1

В.О. завідувача кафедри МТС



(підпис)

Олег ЗУБКОВ
(прізвище та ініціали)

Гарант ОП



(підпис)

Олег ЗУБКОВ
(прізвище та ініціали)

Схвалено методичною комісією факультету ІРТЗІ

Протокол від 01.09.2025 р. № 1

Голова методичної комісії



(підпис)

Олена ІВАНОВА
(прізвище та ініціали)

© Зубков О.В., 2025
© Воргуль О.В., 2025
© ХНУРЕ, 2025

1 ОПИС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Найменування показників	Характеристика навчальної дисципліни	
	денна форма навчання	заочна форма навчання
Кількість кредитів ЄКТС* 7	Нормативна	
	Рік підготовки:	
Змістових модулів 1	1-й	
Індивідуальних завдань 0	Семестр	
Загальна кількість годин 210	1-й	
	Навчальні заняття, год.:	
	210	-
Мова навчання: українська	Аудиторні: 1) лекції, год	
	28	-
	2) практичні, год	
	10	-
	3) лабораторні, год	
	32	-
	4) консультації, год	
	14	-
	Самостійна робота, год	
	126	-
	в тому числі: 1) інд. завд., год.	
	-	-
	2) курсова робота, год	
-	-	
Вид контролю: екзамен комбінований		

Примітка.

* Відомості з навчального плану.

** За рішенням кафедри співвідношення кількості годин на навчальні (аудиторні) заняття та самостійну роботу, що визначено навчальним планом, може бути змінено. Кількість годин, відведена для СРС, має бути в межах 1/2 – 3/4 від загальної кількості годин, відведених для вивчення дисципліни.

2 МЕТА І ЗАВДАННЯ НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

2.1 Мета вивчення дисципліни:

- вивчення теорії та практики схемотехнічного моделювання базових цифрових електронних схем за допомогою мови VHDL на рівні RTL.

2.2 Результати навчання

За результатом вивчення дисципліни студенти повинні:

знати:

- основи мов програмування цифрових систем VHDL;
- основи синтезу та аналізу логічних схем;
- базову структуру модуля VHDL;
- принципи реалізації моделей основних вузлів цифрової апаратури та методи їх об'єднання та комбінування;
- можливості VHDL з масштабування системи.

вміти:

- Виконувати моделювання на всіх етапах, використовуючи можливості Xilinx Vivado
- вирішувати на апаратно-програмному рівні задачі побудови та моделювання спеціалізованих технічних засобів;
- створювати моделі цифрових систем на різних рівнях опису: абстрактному, схематичному та програмному;
- реалізовувати опис логіки (програму) середньої складності на мові VHDL.

володіти:

- загальним підходом використання програмного забезпечення для синтезу цифрових систем засобами Vivado,
- досвідом складання, відлагодження, запуску та аналізу цифрових моделей.

2.3 Перелік компетентностей

Загальні компетентності

- ЗК2. Здатність застосовувати знання у практичних ситуаціях.
- ЗК4. Здатність проведення досліджень на відповідному рівні.

Спеціальні компетентності

- СК4. Здатність використовувати інформаційні, комп'ютерні і мультимедійні технології, методи моделювання, інтелектуалізації, штучного інтелекту, експериментальні методи для дослідження та аналізу процесів в електронних компонентах, пристроях і системах.
- СК5. Здатність забезпечувати ефективність та якість вимірювань в електронних компонентах, пристроях і системах.

Результати навчання

- P2. Моделювати та експериментально досліджувати об'єкти та процеси в електроніці та технології електронної промисловості.
- P14. Досліджувати процеси у електронних компонентах, пристроях і системах з використанням сучасних експериментальних методів та обладнання, методів комп'ютерного моделювання, здійснювати статистичну обробку та аналіз результатів експериментів та розрахунків.
- P15. Брати участь у розробці та виконанні проектів міжнародного наукового співробітництва та академічної мобільності.
- P16. Розробляти технічні рішення, електронні прилади та системи з використанням сучасних мікропроцесорів та програмованих інтегральних схем на сучасному науково-технічному рівні.
- P17. Розробляти програмне забезпечення для електронних пристроїв з вбудованими мікроконтролерами, мікропроцесорами, програмованими інтегральними схемами, у тому числі здійснювати пошук оптимальних архітектур нейронних мереж для вбудованих систем, виконувати навчання нейронних мереж та вбудовувати програмне забезпечення з елементами штучного інтелекту у сучасні електронні апаратні платформи.

2.4 Передумови для вивчення дисципліни: відсутні

3 ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Змістовий модуль 1. Основи проектування ПЛІС з використанням мови VHDL.

Тема 1. Вступ до дисципліни.

Режим навчання (змішане навчання, використання ДЛ, шляхи спілкування, форма звітності). Що таке ПЛІС і коротка історія. Роль і місце ПЛІС у сучасній технічній та технологічній спільноті. Загальна структура електронного пристрою. Загальні риси електронного пристрою. Зосередимось на ПЛІС з цієї точки зору. Програмне забезпечення. Ринок ПЛІС. Виробники ПЛІС.

Тема 2. ПЛІС. Як все починалось і до чого прийшло.

Термінологія. Мікропрограмний автомат з ПЗУ. Класифікація SPLD. Класифікація CPLD. Дещо про програмування. Спеціалізовані мікросхеми.

Тема 3. Мови опису апаратури. Мова VHDL. Загальні питання

Проблема опису апаратури. Рівні опису апаратури мовою HDL. Існуючі мови опису цифрової апаратури. Verilog. VHDL. Інші спроби. Мова VHDL. Загальне призначення, стилістика, основні риси. Мінімальний VHDL проект

Тема 4. Програмне забезпечення від Xilinx і не тільки

Які варіанти програмного забезпечення (ПЗ) є в наявності. Підтримка мов опису апаратури. Наскрізне моделювання. Конфігурація. Внутрішнє відлагодження. Встановлення ПЗ та робота з ним.

Тема 5. Мова опису, моделювання та проектування VHDL . Докладно.
Вступ до VHDL. Інваріанти VHDL. Складові одиниці VHDL

Тема 6. Парадигма складання моделі у VHDL

Паралельні вирази. Оператор присвоєння \leq . Оператори паралельного присвоєння сигналу. Оператори умовного присвоєння сигналу. Оператори селективного присвоєння сигналу. Оператор PROCESS

Тема 7. Стандартні моделі в архітектурах. Парадигма VHDL.

Архітектура стилю потоку даних. Архітектура поведінкового стилю. Оператор Process. Послідовні оператори. Оператор присвоєння сигналу. Оператор if. Оператор case.

Тема 8. Оператори VHDL. Послідовний синтез у VHDL

Логічні оператори. Оператори відношення. Оператори зсуву. Інші оператори. Оператори зчеплення. Ціле ділення та лишок. Прості елементи пам'яті.

Тема 9. Проектування кінцевих автоматів (КА) з VHDL

Поведінкове представлення кінцевого автомата на VHDL. Гаряче кодування для КА. Важливі моменти

Тема 10. Структурне моделювання у VHDL.

Модульність VHDL за допомогою компонент. Загальна карта або оператор generic

Тема 11. Об'єкти даних

Типи об'єктів даних. Оголошення об'єктів даних . Змінні та оператор присвоєння " := " . Сигнали та змінні. Стандартні типи даних. Типи, що визначаються користувачем. Типи, що часто використовуються. Цілочисельні типи. Знакові та беззнакові типи. Типи стандартної логіки

Тема 12. Використання циклів

Базова форма циклу. Цикл *for*. Цикл *while*. Оператор *next*. Оператор *exit*. Оператор *wait*. Оператор *null*

Тема 13. Стандартні цифрові схеми на VHDL

Тема 14. Шляхи подальшого розвитку

Дещо про сигнали та атрибути сигналів. Підтримка модульності в VHDL. Створення власної бібліотеки у VHDL. Підсумки курсу

4 СТРУКТУРА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Назви змістових модулів і тем	Кількість годин											
	денна форма						Заочна форма					
	Усь-ого	у тому числі					Усь-ого	у тому числі				
		л	п	лб	конс	с.р.		л	п	лб	конс	с.р.
1	2	3	4	5	6	7	8	9	10	11	12	
Змістовий модуль 1. Основи проектування ПЛІС з використанням мови VHDL.												
Тема 1. Вступ до дисципліни. Режим навчання (змішане навчання, використання ДЛ, шляхи спілкування, форма звітності). Що таке ПЛІС і коротка історія. Роль і місце ПЛІС у сучасній технічній та технологічній спільноті. Загальна структура електронного пристрою. Загальні риси електронного пристрою. Зосередимось на ПЛІС з цієї точки зору. Програмне забезпечення. Ринок ПЛІС. Виробники ПЛІС.	14	2			2	10	-	-	-	-	-	-
Тема 2. ПЛІС. Як все починалось і до чого прийшло. Термінологія. Мікропрограмний автомат з ПЗУ. Класифікація SPLD. Класифікація CPLD. Дещо про програмування. Спеціалізовані мікрочехми.	14	2			2	10	-	-	-	-	-	-
Тема 3. Мови опису апаратури. Мова VHDL. Загальні питання Проблема опису апаратури. Рівні опису апаратури мовою HDL. Існуючі мови опису цифрової апаратури. Verilog, VHDL. Інші спроби. Мова VHDL. Загальне призначення, стилістика, основні риси. Мінімальний VHDL проект	18	2	2	4		10	-	-	-	-	-	-
Тема 4. Програмне забезпечення від Xilinx і не тільки Які варіанти програмного забезпечення (ПЗ) є в наявності. Підтримка мов опису апаратури. Наскрізне моделювання. Конфігурація. Внутрісистемне відлагодження. Встановлення ПЗ та робота з ним.	14	2			2	10	-	-	-	-	-	-

Тема 5. Мова опису, моделювання та проектування VHDL . Докладно. Вступ до VHDL. Інваріанти VHDL. Складові одиниці VHDL	16	2		4		10	-	-	-	-	-	-
Тема 6. Парадигма складання моделі у VHDL Паралельні вирази. Оператор присвоєння <=. Оператори паралельного присвоєння сигналу. Оператори умовного присвоєння сигналу. Оператори селективного присвоєння сигналу. Оператор PROCESS	16	2	2	4		8	-	-	-	-	-	-
Тема 7. Стандартні моделі в архітектурах Парадигма VHDL. Архітектура стилю потоку даних. Архітектура поведінкового стилю. Оператор Process. Послідовні оператори. Оператор присвоєння сигналу. Оператор if. Оператор case.	12	2			2	8	-	-	-	-	-	-
Тема 8. Оператори VHDL. Послідовний синтез у VHDL Логічні оператори. Оператори відношення. Оператори зсуву. Інші оператори. Оператори зчеплення. Ціле ділення та лишок. Прості елементи пам'яті.	18	2	2	4	2	8	-	-	-	-	-	-
Тема 9. Проектування кінцевих автоматів (КА) з VHDL Поведінкове представлення кінцевого автомата на VHDL. Гаряче кодування для КА.	16	2		4		10	-	-	-	-	-	-
Тема 10. Структурне моделювання у VHDL. Модульність VHDL за допомогою компонент. Загальна карта або оператор generic	14	2		4		8	-	-	-	-	-	-
Тема 11. Об'єкти даних Типи об'єктів даних. Оголошення об'єктів даних . Змінні та оператор присвоювання ":=" . Сигнали та змінні. Стандартні типи даних. Типи, що визначаються користувачем. Типи, що часто використовуються. Цілочисельні типи. Знакові та беззнакові типи. Типи стандартної логіки	18	2	2	4	2	8	-	-	-	-	-	-

Тема 12. Використання циклів Базова форма циклу. Цикл <i>for</i> . Цикл <i>while</i> . Оператор <i>next</i> . Оператор <i>exit</i> . Оператор <i>wait</i> . Оператор <i>null</i>	12	2			2	10	-	-	-	-	-	-
Тема 13. Стандартні цифрові схеми на VHDL	18	2	2	4		10	-	-	-	-	-	-
Тема 14. Шляхи подальшого розвитку Деяко про сигнали та атрибути сигналів. Підтримка модульності в VHDL. Створення власної бібліотеки у VHDL.	10	2			2	6	-	-	-	-	-	-
Разом за зміст. мод. 1	210	28	10	32	16	126	-	-	-	-	-	-
Усього годин за семестр	210	28	10	32	16	126	-					

5 ТЕМИ ЛАБОРАТОРНИХ ЗАНЯТЬ

№	Назва теми	Кількість годин	
		денна	заочна
1	Знайомство з Vivado	4	
2	Моделювання схеми цифрової логіки	4	
3	Концепції моделювання	4	
4	Уявлення чисел	4	
5	Схеми з багатьма виходами	4	
6	Функції, процедури та тест бенчі	4	
7	Тригери	4	
8	Робота з АЦП	4	
	Загальна кількість	36	

6 ТЕМИ ПРАКТИЧНИХ ЗАНЯТЬ

№	Назва теми	Кількість годин	
		денна	заочна
1	Основи мови VHDL. Приклади	2	-
2	Базові конструкції мови VHDL	2	-
3	Оператор PROCESS та його використання	2	-
4	Опис цифрової електронної системи мовою	2	-
5	Опис електронного пристрою мовою VHDL	2	-
	Загальна кількість	10	-

7 САМОСТІЙНА РОБОТА

№	Назва теми	Кількість годин	
		денна	заочна
1	Вивчення теоретичного матеріалу з використанням конспектів і навчальної літератури	10	
2	Підготовка до лабораторних занять	30	
3	Підготовка до практичних занять		
4	Самостійне вивчення організації цифрових систем та пристроїв мовою VHDL та їх реалізації на ПЛІС Xilinx	24	
	Загальна кількість	64	

8 МЕТОДИ НАВЧАННЯ ТА ЗАСОБИ ОЦІНЮВАННЯ

8.1 Метод навчання – це упорядкована діяльність викладача і студентів, спрямована на досягнення заданої мети навчання.

За ознакою, якою є джерело знань, використовується п'ять методів: практичний (лабораторні, практичні, розрахункові, графічні роботи тощо); наочний (метод ілюстрацій і метод демонстрацій); словесний (лекція, дискусія, співбесіда тощо); робота з навчально-методичною літературою (конспектування, тезування, анотування, рецензування, складання реферату); відеометод у сполученні з новітніми інформаційними технологіями та комп'ютерними засобами навчання (дистанційні, мультимедійні, веб-орієнтовані тощо).

За призначенням використовуються такі методи: набуття знань; формування умінь і навичок, застосування знань; творча діяльність; закріплення знань; перевірка знань, умінь і навичок.

8.2 Засобами оцінювання та методами демонстрування результатів навчання є: залік; стандартизовані тести; командні проекти; презентації результатів виконаних завдань та досліджень; студентські презентації та виступи на наукових заходах; завдання на лабораторному обладнанні, тренажерах, реальних об'єктах тощо; інші види індивідуальних та групових завдань.

9 МЕТОДИ КОНТРОЛЮ ТА РЕЙТИНГОВА ОЦІНКА ЗА ДИСЦИПЛІНОЮ

9.1 Розподіл балів, які отримують студенти (Кількісні критерії оцінювання)

Для оцінювання роботи студента протягом семестру підсумкова рейтингова оцінка $O_{\text{сем}}$ розраховується як сума оцінок за різні види занять та контрольні заходи.

Вид заняття / контрольний захід	Оцінка	Вид заняття / контрольний захід	Оцінка
Денна форма навчання		Заочна форма навчання	
Лб № 1,2,3,4,5	10x4=40		
Контрольна точка 1	40		
Лб № 6,7,8,9,10,11	12x5=60		
Контрольна точка 2	60		
Всього за семестр	100		

Як форма підсумкового контролю використовується комбінований іспит.

9.2 Якісні критерії оцінювання

Необхідний обсяг знань та вмінь для одержання позитивної оцінки з дисципліни студенти повинні: знати основи мови програмування цифрових систем на HDL, основи синтезу та аналізу логічних схем, схемотехніку ПЛІС Artix-7, вміти писати програми середньої складності на мові VHDL, знати методи і засоби відладки за допомогою комплексу програмних засобів САПР Vivado.

Критерії оцінювання роботи студента протягом семестру.

Задовільно, D, E (60-74). Мати мінімум знань і умінь. Відпрацювати та захистити всі лабораторні роботи. Виконати практичних завдання.

Добре, C (75-89). Знати всі теми, що вивчаються у курсі. Уміти самостійно обрати метод для розв'язання задач. Відпрацювати та захистити всі лабораторні роботи із середньою оцінкою не нижче 75.

Відмінно, A, B (90-100). Досконало знати всі теми, що вивчаються у курсі, та матеріал, що виноситься для самостійного вивчення. Відпрацювати та захистити всі лабораторні роботи із середньою оцінкою не нижче 80. Уміти самостійно формулювати задачі та одержувати розв'язок.

Шкала оцінювання: національна та ECTS

Сума балів за всі види навчальної діяльності	Оцінка ECTS	Оцінка за національною шкалою	
		для екзамену, курсового проекту (роботи), практики	для заліку
96–100	A	відмінно добре задовільно	зараховано
90–95	B		
75–89	C		
66–74	D		
60–65	E		
35–59	FX	незадовільно з можливістю повторного складання	не зараховано з можливістю повторного складання
0-34	F	незадовільно з обов'язковим повторним вивченням дисципліни	не зараховано з обов'язковим повторним вивченням дисципліни

10 МЕТОДИЧНЕ ЗАБЕЗПЕЧЕННЯ ТА РЕКОМЕНДОВАНА ЛІТЕРАТУРА

Базова література:

1. Проектування цифрових систем з використанням мови VHDL / Семенець В.В., Хаханова І.В., Хаханов В.І. - Харків: ХНУРЕ, 2003.-492 с.
2. Ian Grout. Digital System Design with FPGAs and CPLDs - Newnes Elsevier , 2008, 763 pp.
3. Bryan Mirrey, Fabricio Taperro. Free Range VHDL - <http://freerangefactory.org/>
4. FPGA Frontiers : New Applications in Reconfigurable Computing Nicole Hemsoth, Timothy Prickett Morgan Co-Authors, Editors Published by Next Platform Press

Допоміжна література:

5. Мірошник М. А., Клименко Л. А., Корольова Я. Ю. Технології та автоматизація проектування цифрових пристроїв складних комп'ютерних систем на ПЛІС: Навч. посібник. – Харків: УкрДУЗТ, 2021. – 220 с.
6. О. Г. Аврунін, Т. В. Носова, В. В. Семенець. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС: навч. пос. – Харків : ХНУРЕ, 2018. – 196 с.

10.2 Методичні вказівки до різних видів занять

1. Методичні вказівки до лабораторних робіт з дисципліни «Дослідження і проектування пристроїв на ПЛІС» для студентів усіх форм навчання спеціальності 171 – «Електроніка [Електронний ресурс] / упоряд.: І. В. Свид, І. І. Обод, О. В. Воргуль, О. В. Зубков ; М-во освіти і науки України, ХНУРЕ. – Електрон. вид. – Харків : ХНУРЕ, 2023. – 1,71 Мб

2. Методичні вказівки до самостійної роботи з дисципліни «Дослідження і проектування пристроїв на ПЛІС» для студентів усіх форм навчання спеціальності 171 – «Електроніка [Електронний ресурс] / упоряд.: І. В. Свид, І. І. Обод, О. В. Воргуль, О. В. Зубков ; М-во освіти і науки України, ХНУРЕ. – Електрон. вид. – Харків : ХНУРЕ, 2023.– 355 Кб
3. Комплекс навчально-методичного забезпечення навчальної дисципліни "Дослідження і проектування пристроїв на ПЛІС" підготовки магістрів, спеціальності 171 – «Електроніка [Електронний ресурс] / упоряд.: І. В. Свид, І. І. Обод, О. В. Воргуль, О. В. Зубков ; М-во освіти і науки України, ХНУРЕ. – Електрон. вид. – Харків : ХНУРЕ, 2023.

11 ІНФОРМАЦІЙНЕ ЗАБЕЗПЕЧЕННЯ

1. Vivado Design Suite від Xilinx.