

ДИНАМІЧНА ЧАСТКОВА РЕКОНФІГУРАЦІЯ В СУЧАСНИХ ПЛІС: ТЕХНОЛОГІЇ ТА ЗАСТОСУВАННЯ

професор, к.т.н., Воргуль О.В., студент Сербський Г.

Харківський національний університет радіоелектроніки,
кафедра мікропроцесорних технологій і систем, м. Харків, Україна

e-mail: oleksandr.vorgul@nure.ua

Abstract

The abstracts present an analysis of the dynamic partial reconfiguration (DPR) technology in programmable logic integrated circuits. The key motives, implementation methodology in Xilinx Vivado, comparison of solutions from other manufacturers, main problems and promising areas of application are considered. Special attention is paid to adaptive communication systems, aerospace engineering and artificial intelligence. The summary is based on the systematization of modern scientific and technical sources.

Keywords: DYNAMIC PARTIAL RECONFIGURATION, FPGA, VIVADO, ICAP, ADAPTABILITY.

Вступ

Сучасні складні електронні системи вимагають підвищеної гнучкості, ефективності та надійності. Традиційна повна переконфігурація ПЛІС часто не відповідає цим вимогам, особливо для систем безперервної роботи. Технологія динамічної часткової реконфігурації (DPR) дозволяє змінювати частину логічної структури ПЛІС без зупинки всієї системи, відкриваючи шлях до створення адаптивних, енергоощадних та відмовостійких апаратних рішень [1, 2].

Сутність та мотивація DPR

DPR — це процес зміни конфігурації виділеної області пам'яті ПЛІС під час її роботи, що призводить до оновлення логічної функції без впливу на інші частини пристрою. Основні мотиви для її використання включають:

1. Оптимізацію ресурсів: можливість завантажувати лише необхідні в даний момент функціональні модулі в одну фізичну область кристала.
2. Підвищення гнучкості: динамічну адаптацію системи до змінних умов, наприклад, швидке перемикання протоколів зв'язку в SDR [3].
3. Зниження енергоспоживання: відключення невикористовуваних областей шляхом їх вивантаження та потенційного зниження тактової частоти.
4. Надійність та "гаряче" оновлення: можливість виправляти помилки або додавати функції без простої критичних систем, таких як космічні апарати [4].
5. Прискорення обробки: динамічна підгрузка спеціалізованих апаратних прискорювачів для алгоритмів ШІ або обробки сигналів.

Реалізація в Xilinx Vivado та альтернативи

Реалізація DPR у Xilinx Vivado базується на чіткому архітектурному плануванні з виділенням статичної області та однієї або кількох реконфігурованих областей (RP). Зв'язок між ними забезпечується через фіксовані інтерфейси (наприклад, AXI). Керування процесом здійснюється за допомогою внутрішнього порту ICAP та контролера AXI HWICAP, що дозволяє програмному забезпеченню на процесорному ядрі завантажувати часткові бітстрими нових модулів (RM) у RP [5, 6].

Інші виробники пропонують схожі, але спеціалізовані рішення:

- Intel (Quartus Prime): аналогічна методологія для сімейств Stratix та Agilex з акцентом на часовий аналіз [7].
- Microchip (PolarFire): використання вбудованої Flash-пам'яті для швидкої та надійної реконфігурації, що важливо для аерокосмічних застосувань [8].
- Lattice Semiconductor (ECP5, CrossLink-NX): орієнтація на мінімальну затримку та швидке перемикання для IoT та відеоаналітики [9].

Проблеми та обмеження

Впровадження DPR пов'язане зі значними складнощами:

1. Висока складність проектування, що вимагає глибоких знань архітектури ПЛІС та суворої методології.
2. Обмеженість та складність інструментів проектування та налагодження.
3. Критично важливі завдання синхронізації та забезпечення цілісності даних під час перемикання модулів.
4. Жорсткі обмеження на розміри та розміщення реконфігурованих модулів.
5. Потенційні загрози безпеки через динамічне завантаження конфігурації, що вимагає механізмів аутентифікації [10].

Області застосування

DPR знаходить застосування там, де її переваги вирішальні:

Телекомунікації та SDR: адаптивне перемикання протоколів зв'язку.

Аерокосмічна техніка: оновлення логіки супутників та підвищення відмовостійкості.

Штучний інтелект та обчислення: динамічна зміна апаратних прискорювачів для різних нейронних мереж.

Автомобільна електроніка: адаптація систем ADAS до умов навколишнього середовища.

Медицина та промислова автоматизація: гнучке перемикання режимів роботи обладнання.

Висновок

DPR є потужною технологією для створення адаптивних та ефективних систем на ПЛІС. Незважаючи на складність реалізації та наявні проблеми, її потенціал для критично важливих галузей, таких як

зв'язок, космос та автономні системи, є надзвичайно високим. Розвиток інструментів, методологій безпеки та нових архітектур ПЛІС (наприклад, АСАР) буде сприяти подальшому поширенню DPR як ключової технології для майбутніх обчислювальних платформ.

Список використаних джерел

1. Vipin, K., & Fahmy, S. A. (2018). FPGA Dynamic and Partial Reconfiguration: A Survey of Architectures, Methods, and Applications. ACM Computing Surveys.
 2. Xilinx, Inc. Vivado Design Suite User Guide: Dynamic Function eXchange (UG909).
 3. Wang, Z., & Liu, D. (2020). Software-Defined Radio Implementation Using Partial Reconfiguration on FPGA. Proc. of IEEE ICSPCC.
 4. Sterpone, L., & Ullah, A. (2017). On-Board Partial Reconfiguration for Space Applications. Proc. of IEEE Aerospace Conference.
 5. Xilinx, Inc. 7 Series FPGAs Configuration User Guide (UG470).
 6. Safronov, A. Yu. (2019). Design of digital systems on FPGAs using Vivado. **Cham: Springer Nature Switzerland.**
 7. Intel Corporation. Intel Quartus Prime Pro Edition User Guide: Partial Reconfiguration (UG-20085).
 8. Microchip Technology Inc. PolarFire FPGA and PolarFire SoC FPGA User Guide (UG0754).
 9. Lattice Semiconductor Corporation. ECP5 and ECP5-5G sysCONFIG Usage Guide (FPGA-TN-02030).
- Drzevitzky, S., et al. (2009). Proof-Carrying Hardware: Towards Runtime Verification of Reconfigurable Modules. Proc. of ReConFig.