

ОГЛЯД АРХІТЕКТУРИ VERSAL ACAP

студент Скорбатюк М.В., к.т.н., доц. Свид І.В.

Харківський національний університет радіоелектроніки,
кафедра мікропроцесорних технологій і систем, м. Харків, Україна
e-mail: maksym.skorbatiuk@nure.ua

Abstract. Xilinx Versal ACAP is a powerful, adaptive platform that can be used for high-performance and adaptive computing solutions in the cloud, edge and smart device industries. In particular, Versal ACAP has found implementation in the following industries: 5G, data centers, smart factories; auxiliary electronic control system of the car and parking, machine learning, etc.

Ключові слова: Xilinx, ACAP, Versal, архітектура, AI, AMD.

Вступ. На сьогодні, Versal є першою адаптивною платформою прискорення обчислень (ACAP). Versal® ACAP була створена з нуля як гетерогенна, гнучка платформа, яка підтримує кілька доменно-спеціальних архітектур (DSAs) і обчислювальних структур, включаючи ядра процесора, програмовану логіку та масив AI інженерії.

Основна частина. Перевагою ACAP є його функціональність, як багатоядерної SoC загального призначення, яка включає додаткові програмовані апаратні та програмні механізми для оптимального співвідношення потужності та продуктивності (рис. 1).

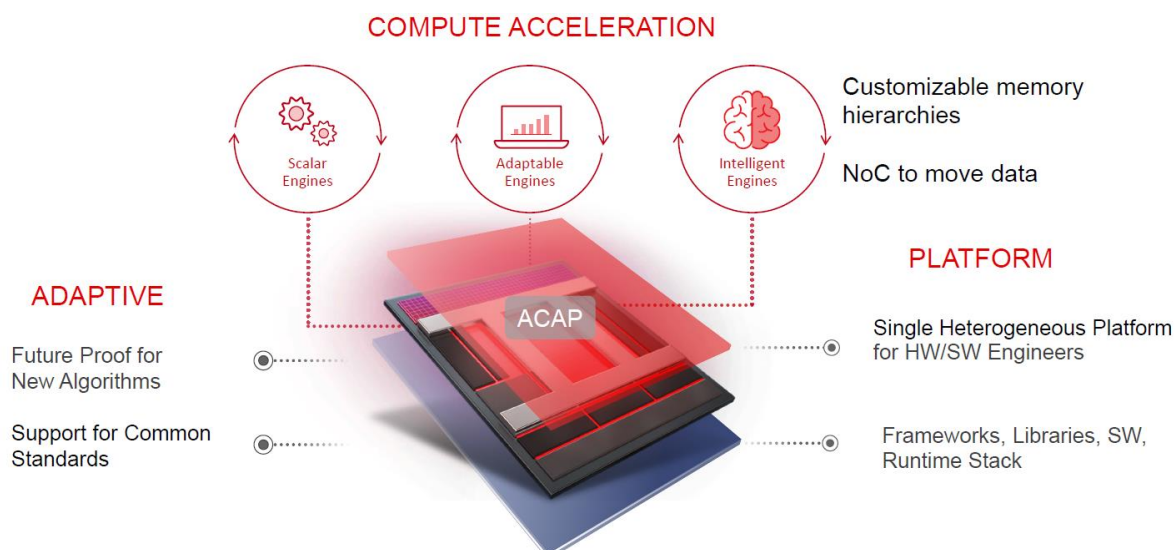


Рисунок 1 – Адаптивна платформа прискорення обчислень Versal [1]

Архітектура Versal включає (рис. 2) [1]:

1) адаптивні процесори: 2x щільність обчислень; масштабування напруги для продуктивності/ват;

2) скалярні процесори: керування платформою; вбудовані периферійні обчислення;

- 3) PCIe Gen5 і CCIX: 2x PCIe і DMA пропускна здатність; когерентність кешу;
- 4) пам'ять DDR4: 3200-DDR4, 4266-LPDDR4; 2x пропускна здатність/пін;
- 5) керування трансивера: широкий діапазон, 25G →112G; 58G у основних пристроях;
- 6) інтелектуальні процесори: ШІ-обчислення; різноманітні робочі навантаження DSP;
- 7) програмований NoC: гарантована пропускна здатність; дозволяє програмувати ПЗ;
- 8) процесори протоколів: ядра 400G/600G; оптимізована потужність;
- 9) програмований вхід/вихід: будь-який інтерфейс або датчик; включає MIPI 3,2 Гбіт/с.

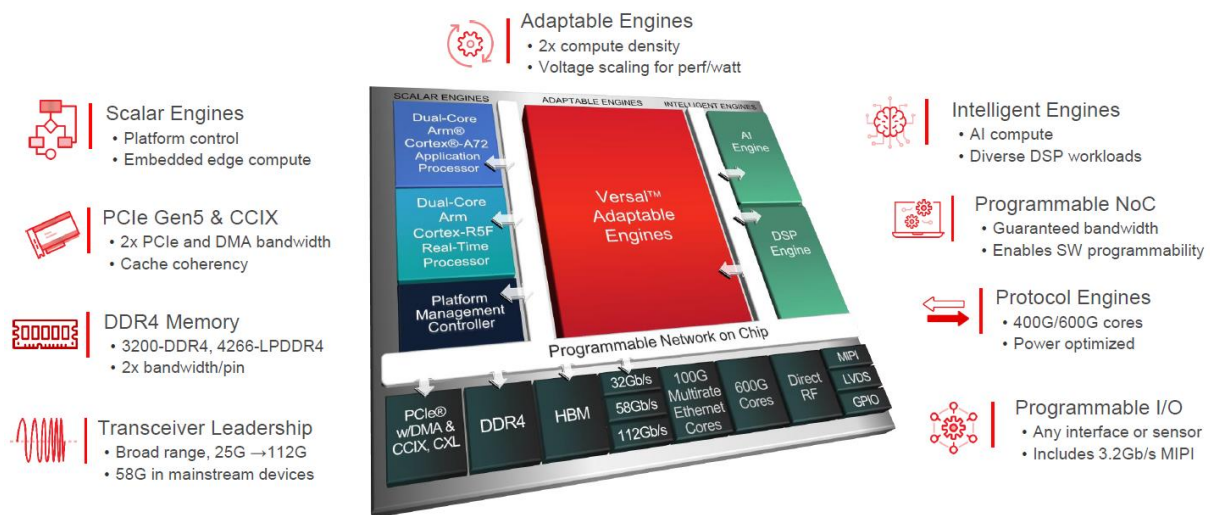


Рисунок 2 – Архітектура Versal [1]

Скалярні механізми для управління платформою дозволяють [1]:

- виконувати складні алгоритми та приймати рішення для автономних систем;
- забезпечувати обробку безпеки та резервування для критично важливих додатків;
- керувати всією платформою;
- використовувати всі можливості АСАР і відстежувати їх стан;
- надають розширення можливостей підтримки - процесор MicroBlaze™ на основі PL.

Процесор програми [1]:

- двоядерний прикладний процесор Arm Cortex A72;
- швидкість до 1,7 ГГц - 2-кратна однопотокова продуктивність;
- архітектура ARMv8;
- піднімається за лічені секунди;

- підтримує Linux і bare-metal.
- Процесор реального часу [1]:
- двоядерний процесор реального часу Arm Cortex R5F;
 - функціональна безпека;
 - розділений режим для продуктивності або блокування кроків для безпеки;
 - низька затримка, детермінізм і контроль у реальному часі для будь-якої програми;
 - підлягає сертифікації ASIL/SI.
- Адаптивні механізми апаратного забезпечення - програмована логіка:
- паралельна обробка, агрегація даних і об'єднання датчиків;
 - програмована ієрархія пам'яті для оптимізації ефективності обчислень.
- Інтелектуальні механізми для різноманітних обчислень:
- ШІ всюди: дротовий зв'язок, автомобільний та споживчий ринки;
- Процесори DSP: підтримка високоточного обчислення з плаваючою комою; розвантажить додаткові функції для прискорення;
- Процесори ШІ: висока пропускна здатність, низька затримка, детермінований і енергоефективний; ідеально підходить для штучного інтелекту та розширеної обробки сигналів.
- Програмований NoC, мостові механізми та жорсткий IP [1]:
- терабітний програмований NoC з високою пропускною здатністю: синхронізація критичних з'єднань; гарантований QoS (пропускна здатність проти затримки);
 - полегшує розміщення IP та ядра: спрощує підключення IP і периферійних пристроїв; легко міняйте ядра на межах портів NoC;
 - інфраструктура програмування: доступ до всіх ресурсів із відображенням пам'яті; вбудований арбітраж між процесорами та пам'яттю.
- У Versal ACAP реалізовано адаптивну ієрархія пам'яті та наявна належна пам'ять для правильної роботи. Задля AI Engine посилені обчислення, пам'ять і з'єднання. Також реалізована адаптація апаратного забезпечення задля прискорення роботи всієї програми.
- Опис основних характеристик сімейств Versal ACAP наведено у табл. 1 [1].
- Розробка архітектури ACAP є найбільшим інженерним досягненням Xilinx з моменту винаходу FPGA.
- Versal ACAP – це високоінтегрована багатоядерна гетерогенна обчислювальна платформа, яку можна змінювати як на апаратному, так і на програмному рівні, щоб динамічно адаптуватися до потреб широкого кола додатків і робочих навантажень у центрах обробки даних, автомобільній промисловості, бездротовому, дротовому та оборонному

ринках 5G. Пристрої Versal ACAP можуть забезпечити до 10 разів більшу продуктивність і енергоефективність для конкретних застосувань.

Таблиця 1 – Опис основних характеристик Versal ACAP

Resources & Capabilities	Prime Series	Premium Series	HBM Series	AI Edge Series	AI Core Series
Description	Signal processing and connectivity capabilities	High-end bandwidth series	Heterogeneous integration of HBM	Low Power AI for Real-Time Systems	Breakthrough AI Inference Throughput
LUT (K)	150-1,000	720-3,360	1,753-2,574	20-520	246-900
Distributed RAM (Mb)	4.6-31.2	22-103	54-79	0.6-15.9	7.5-27.5
Block RAM (Mb)	5.4-69.6	49-174	89-132	0.8-33.5	15.5-34
Ultra RAM (Mb)	43.6-190.4	453-2,549	366-541	6.8-129.9	58.8-130.2
Accelerator RAM (Mb)	0-32	-	-	0-32	0-32
DSP Engine	464-3,984	1,904-14,352	7,392-10,848	90-1,312	928-1,968
AI Engine	-	-	-	8-304	128-400
Serial Transceivers	8-48	48-168	88-128	0-44	8-44
Max. GT Bandwidth (Tb/s)	7.8	17.6	11.2	2.5	2.5
I/O	316-770	586-780	780	114-530	478-770
Memory Controllers	1-4	3-4	4	1-3	2-4
HBM (GB)	-	-	8-32	-	-

Архітектура Versal ACAP може бути запрограмована та оптимізована розробниками програмного забезпечення, науковцями з даних та розробниками апаратного забезпечення за допомогою багатьох інструментів, програмного забезпечення, бібліотек, IP, проміжного програмного забезпечення та фреймворків [1], які дозволяють динамічно налаштовувати прискорені обчислювальні рішення в обраній галузі [2, 3].

Висновки. Xilinx Versal ACAP є потужною адаптивною платформою, яка може використовуватися для високопродуктивних і адаптивних обчислювальних рішень у галузі хмарних, периферійних та інтелектуальних пристроїв. Зокрема, Versal ACAP знайшов впровадження у наступних галузях: 5G, центри обробки даних, розумні заводи; допоміжна електронна система керування автомобілем і паркуванням автомобілю, машинне навчання, тощо.

Список використаних джерел.

1. AMD Versal Adaptive SoC Design Process Documentation, <https://docs.xilinx.com/p/ai-engine-development>

2. В.В. Семенець, І.В. Свид, О.В. Зубков, О.В. Воргуль, Н.В. Бойко, В.С. Чумак. Методичні та технічні аспекти реалізації онлайн лабораторії з проектування пристроїв. // Збірник матеріалів II форуму «Автоматизація, електроніка та робототехніка. Стратегії розвитку та інноваційні технології» до 90-річчя ХНУРЕ. – Харків, ХНУРЕ, 2020. – С. 45-48.

3. В.В. Семенець, І.В. Свид, О.В. Зубков, О.В. Воргуль. Методика розробки та впровадження освітньої компоненти щодо проектування пристроїв. // Збірник матеріалів II форуму «Автоматизація, електроніка та робототехніка. Стратегії розвитку та інноваційні технології» до 90-річчя ХНУРЕ. – Харків, ХНУРЕ, 2020. – С. 40-44.